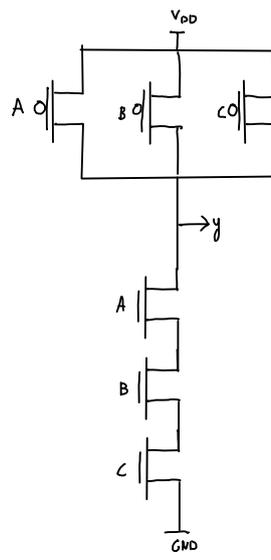
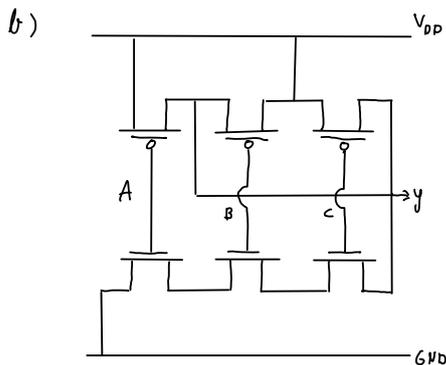
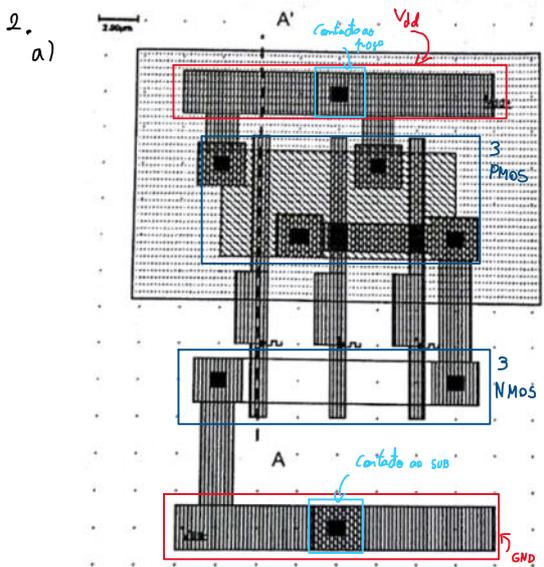


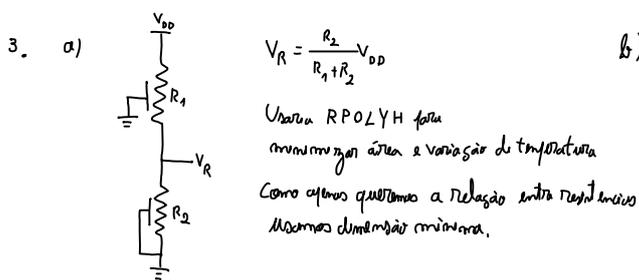
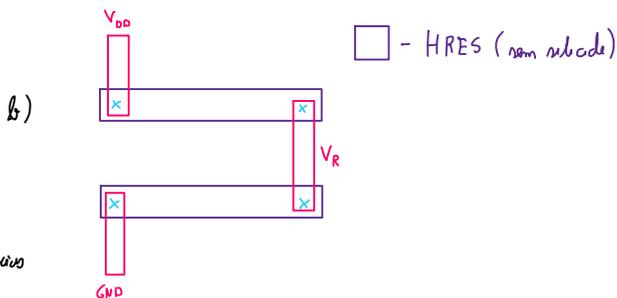
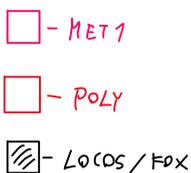
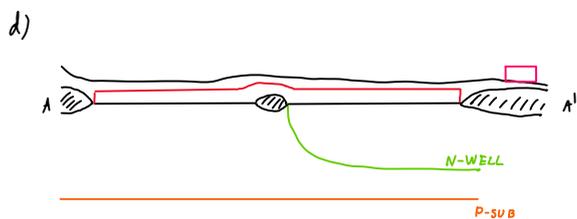
c) O efeito de modulação do comprimento de canal tem como consequência o aumento tensão VDS levar ao aumento da corrente ID, devido ao *pinch-off* do canal. Ou seja na saturação, ao contrário do modelo ideal a corrente ID, não é definida apenas pela tensão VGS, mas também pela tensão VDS.

d) Dois dos terminais servem para implementar a resistência em si, o outro serve para modelar a capacidade parasita da resistência ao substrato. Caso as resistências sejam não lineares, ou seja RNWELL ou RDIFFP, o terceiro terminal serve para também para efetuar a polarização da resistência.

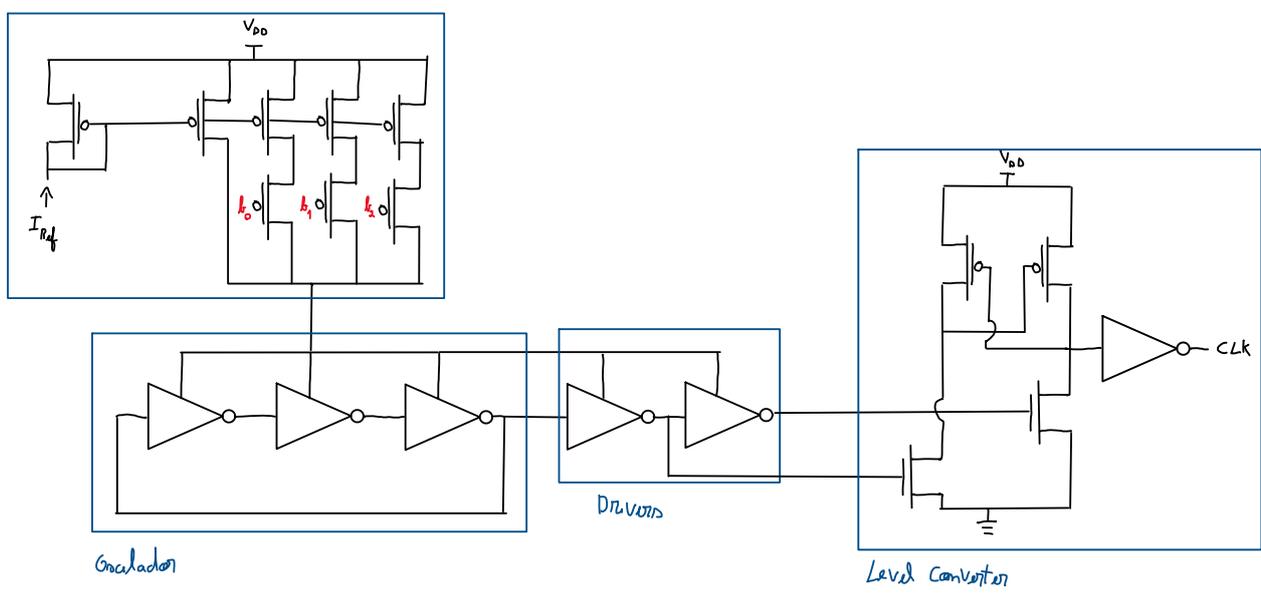
e) A máscara de *silicide block*, identifica as áreas que não vão receber *silicide*. Relembrando que *silicide* reduz a resistividade do poly e das difusões, servindo para melhorar a sua condutividade



c) $y = \overline{A \cdot B \cdot C}$



c) Controlador de Frequência



4 a)

A figura apresenta um comparador com histerese. Este circuito compara a tensão Vfb com Vbg, usando R1 como um divisor para escalar Vfb. O transistor M1 serve para fazer (ou não) bypass a R3, criando assim histerese. Visto que o divisor resistivo é alterado, levando a uma comparação diferente.

b) M_2 e $M_3 \rightarrow$ saturação $\Rightarrow V_{od} = 200 \text{ mV}$

$I_{ref} = 2 \mu A \Rightarrow I_{M3} = 2 I_{M2}$

$$I_D = \frac{\mu C_{ox}}{2} \cdot \frac{W}{L} \cdot V_{od}^2 \Rightarrow I_{M3} = \frac{\left(\frac{W}{L}\right)_{M3}}{\left(\frac{W}{L}\right)_{M2}} I_{M2} \rightarrow \left(\frac{W}{L}\right)_{M3} = 2 \left(\frac{W}{L}\right)_{M2}$$

$$\left(\frac{W}{L}\right)_{M2} = \frac{2 \cdot I_{ref}}{\mu C_{ox}} \cdot \frac{1}{V_{od}^2} = 0.295$$

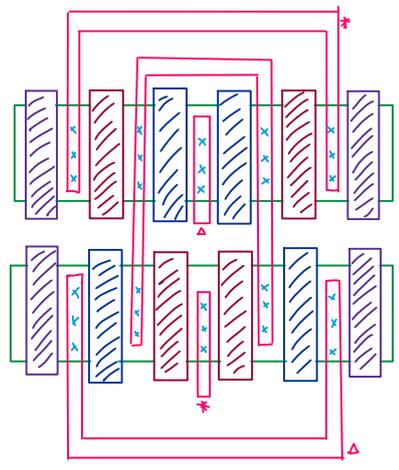
Para aplicar a mesma corrente

$$M_2 \begin{cases} L = 1 \mu m \\ W = 0.295 \mu m \end{cases} \quad \begin{matrix} N_{gates} M_2 = 2 \\ N_{gates} M_3 = 4 \end{matrix}$$

$$M_3 \begin{cases} L = 1 \mu m \\ W = 0.590 \mu m \end{cases}$$

Usando $L = 1 \mu m$ para minimizar o CLM temos:

c)



- Dummy gates
- M4 Gates
- M5 Gates
- N+
- MET
- $\Delta, *$ - Ligado