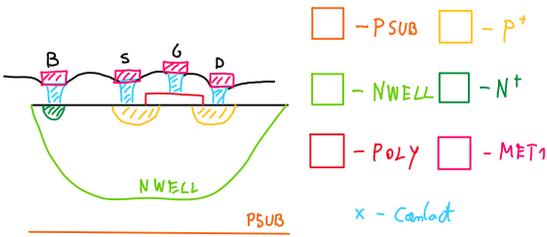


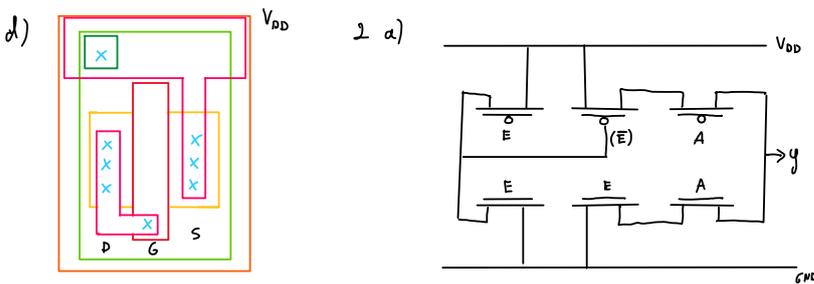
1. a)



b) Numa tecnologia *single well* o *bulk* de todos os NMOS é comum, é o substrato, logo, quando polarizamos um, polarizamos todos. E devido a isso queremos polarizar sempre com a menor tensão disponível no circuito, para garantir que não temos correntes no *bulk diode*. Logo ligamos todos a *ground*.

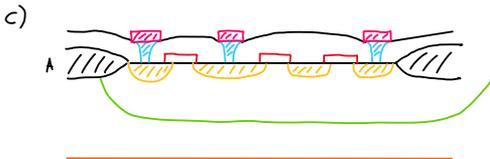
↳ Nota: NÃO se pode colocar contactos no meio do gate, onde se irá formar o canal!!!!
 Além disso S e D são apenas diferenciados por qual tiver a tensão maior ($V_s > V_d$)

c) Self Aligned é a técnica que permite facilitar a colocação de algumas *layers* com auxílio de *layers* já existentes. Por exemplo criação de difusões com auxílio dos gates. Ou seja, como o Poly é colocado antes de serem criadas as difusões, podemos usar os gates do CMOS como parte da máscara que irá gerar as difusões. Da mesma forma existe o salicide (self aligned silicide) que faz recurso da *active area* para se alinhar automaticamente



f) Truth Table for 3-input NAND:

| E | A | y |
|---|---|-----------|
| 0 | 0 | Z |
| 1 | 0 | \bar{A} |

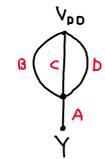
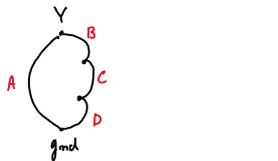


3. a) $y = \overline{A + BCD}$

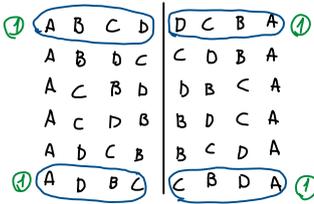
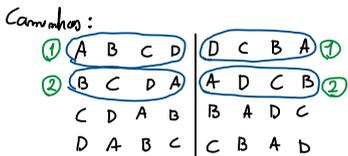
Pull Down $\bar{Y} = A + BCD$

Pull Up $Y = \overline{A + BCD} = \bar{A} \cdot (\bar{B} + \bar{C} + \bar{D})$

b) Consistência a saída
 ↓
 Caminho igual em PU e PD
 ↳ Minimiza a área

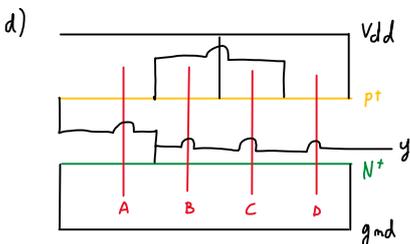


c) Minimizar Delay
 passar o mínimo por Y
 a verde o m-Verde que faz



A minimização da área vem de termos uma única difusão N+ e uma única difusão P+, com os gates alinhados. Ora as únicas soluções que garantem isto são os caminho de Euler consistentes. Dai irmos à procura deles

Para a minimização do Delay, basta minimizar a capacidade parasita do nó de saída da porta lógica (Y). Para tal vamos querer minimizar o numero de vezes que passamos por Y, visto que ao fazer isto minimizamos o metal que temos à saída, logo teremos menos capacidade.



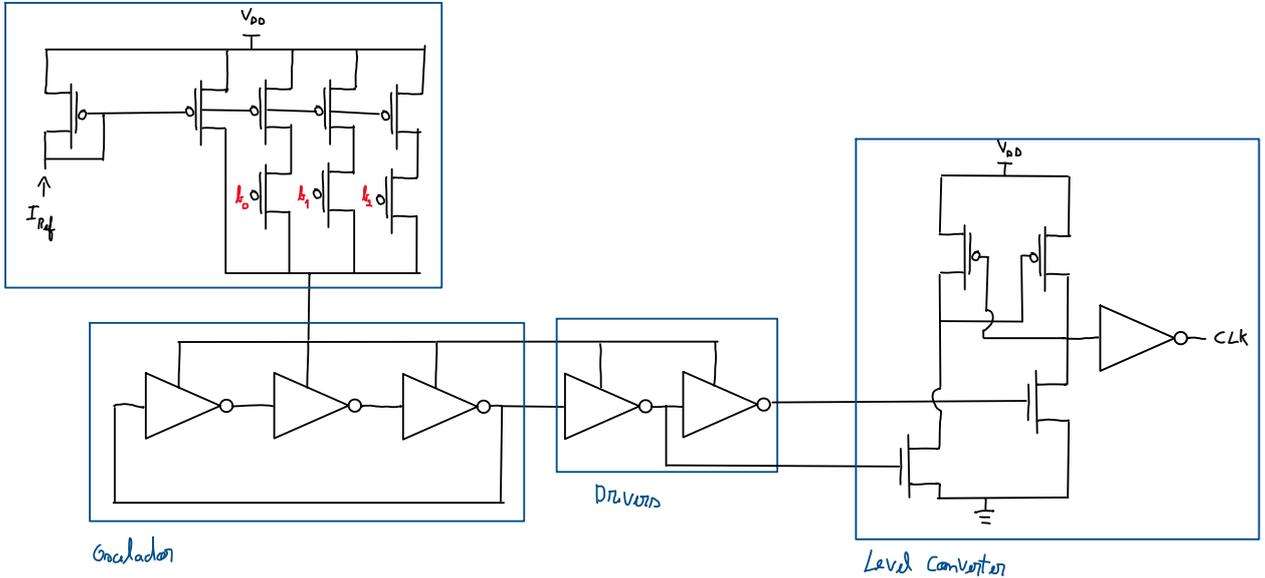
4 a) Espelho de corrente \Rightarrow Saturação $\Rightarrow \begin{cases} L \geq 1 \mu\text{m} & (\text{Para minimizar CLM}) \\ V_{OD} = 200 \text{ mV} \end{cases}$

$N_{\text{gates}} = 2$ para aplicar common centroid (ou fingers)

$$i_D = \frac{\mu C_{ox}}{2} \cdot \left(\frac{W}{L}\right) \cdot V_{OD}^2 \Leftrightarrow \left(\frac{W}{L}\right) = \frac{2 i_D}{\mu C_{ox}} \cdot \frac{1}{V_{OD}^2} = 0.862$$

Logo: $L = 1 \mu\text{m}$
 $W = 0.862 \mu\text{m}$ |
 $N_{\text{gates}} = 2$

b) Controle de Frequência



c) A frequência de oscilação é definida pela quantidade de corrente disponível para a alimentação dos inversores que compõem o oscilador. Ou seja, se a corrente disponível for pouca, vamos demorar mais tempo a carregar os *gates* dos transístores, como tal, vamos demorar mais tempo a inverter. Se tivermos mais corrente, podemos carregar os gates mais rapidamente tendo como tal um intervalo de tempo menor e por isso uma maior frequência. Logo ao controlar a saída dos espelhos de corrente podemos controlar quanta corrente alimenta os inversores, controlando assim a frequência. Além disso, mais corrente levará a uma tensão de alimentação maior dos inversores, logo o nosso ΔV vai aumentar, o que também leva ao aumento da corrente, ou seja, o aumento da tensão leva também ao aumento da frequência. Estes dois fenómenos são complementares.

d) Os quatro transístores na saída são importantes para por o clock entre V_{DD} e V_{SS} . Ou seja, devido à utilização de espelhos de corrente na alimentação, a saída do oscilador será limitada por $V_{DD} - V(\text{consumido no espelho})$, logo esses 4 transístores servem para repor o nível máximo a V_{DD} .