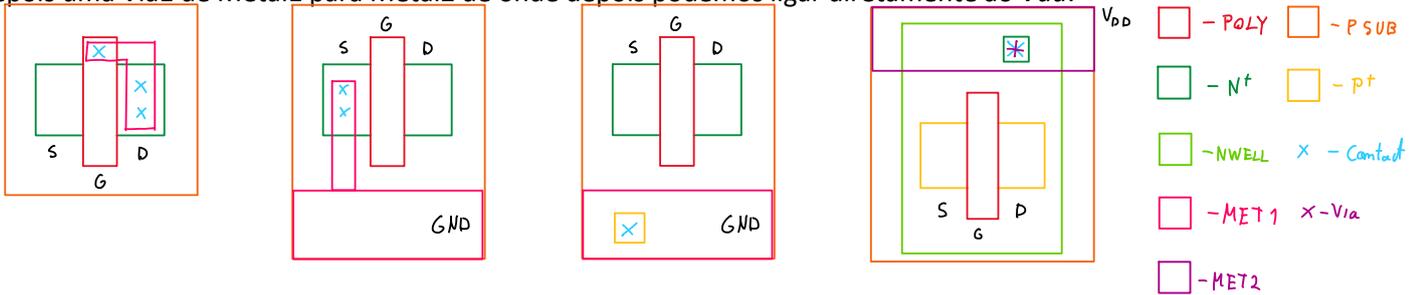


1 a)

Numa tecnologia *single well* o *bulk* de todos os NMOS é comum, é o substrato, logo, quando polarizamos um, polarizamos todos. E devido a isso queremos polarizar sempre com a menor tensão disponível no circuito, para garantir que não temos correntes no *bulk diode*. Logo ligamos todos a *ground*.

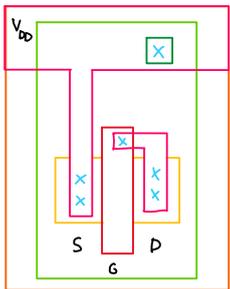
b)

- Para ligar o *gate* de um NMOS ao *drain*, precisamos de pelo menos um contacto, idealmente dois, em cada um deles e depois unimos esses contactos com Metal1.
- Para ligar a *source* de um NMOS ao *ground* em metal2 podemos usar contactos para ligar a *source* a Metal1 e daí ligar diretamente ao *ground* usando Metal1.
- Para ligar o *ground* ao *bulk* de um NMOS precisamos de uma difusão P+ no substrato, de seguida um contacto e daí podemos ligar diretamente ao Metal1 do *ground*.
- Para ligar o *bulk* de um PMOS ao *Vdd* precisamos de uma difusão N+ no Nwell, de seguida um contacto até Metal1 e depois uma *Via1* de Metal1 para Metal2 de onde depois podemos ligar diretamente ao *Vdd*.



c) O CLM está incluído no modelo analítico da corrente I_d na forma do parâmetro λ , em particular na parcela $(1+\lambda \cdot V_{ds})$ que nos mostra que quanto maior for o valor de V_{ds} maior é a nossa corrente I_d .

d)



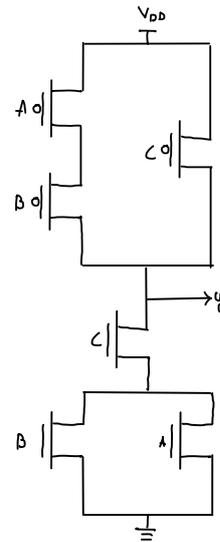
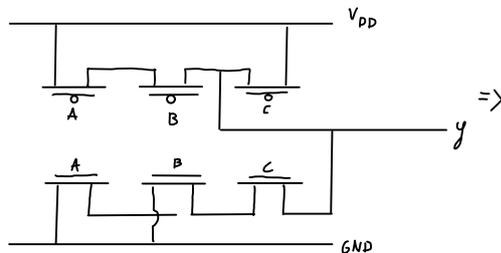
Mesma legenda

l) $R_{M_{kt1}} = 80 \text{ m}\Omega / \square$

f) $m \square = \frac{L}{W} = 10 \rightarrow R_T = m \square \cdot R_{M_{kt1}} = 800 \text{ m}\Omega$

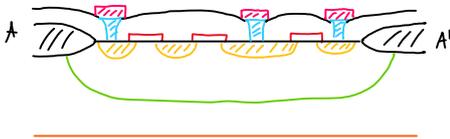
2.

a)



b) $y = \overline{(A+B)C}$

c)



3 a) O espelho de corrente *Cascode* tem uma corrente mais independente da carga do que o espelho simples, visto que M0 e M3 fazem de limitadores de tensão, fixando a tensão X e Y, diminuindo assim o efeito de CLM, levando a uma corrente de saída mais independente da tensão de saída.

b)

O espelho de corrente *low-voltage* os transístores M2 e M4 polarizados externamente. Isto faz com que necessitemos de uma tensão menor à entrada para termos os transístores todos em saturação. No caso do andar *cascode* precisamos de $2V_{od}+V_{th}$. Neste precisamos apenas de $2V_{od}$. Ou seja poupamos cerca de 500mV de *headroom*.

3 c) $I_{out} = 2I_{ref}$

Transistores todos em saturação: $\left. \begin{array}{l} L \gg 1\mu m \\ V_{DD} = 200mV \end{array} \right\}$

A corrente em M_3 é igual à corrente em $M_4 \Rightarrow M_3 = M_4$

A corrente em M_2 é igual à corrente em $M_1 \Rightarrow M_1 = M_2$

Queremos pelo menos 2 gates por transistor de forma a podermos usar como control.

$$I_{out} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{4,3} V_{DD}^2 \Leftrightarrow \left(\frac{W}{L}\right)_{4,3} = \frac{I_{out} \cdot 2}{\mu C_{ox}} \cdot \frac{1}{V_{DD}^2}$$

Para $\left(\frac{W}{L}\right)$ fazer referência:

$$I_{ref} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{1,2} V_{DD}^2 \Leftrightarrow \left(\frac{W}{L}\right)_{1,2} = \frac{I_{ref} \cdot 2}{\mu C_{ox}} \cdot \frac{1}{V_{DD}^2}$$

d) A tensão X (ou V_{ds1}) é estabelecida através de realimentação do *gate* para o *drain*. Ou seja, se tivermos mais corrente em M_1 , vamos carregar mais o gate, o que leva a um ajuste de V_{gs1} de forma a manter V_{ds1} . E se tivermos menos corrente, o canal irá diminuir, levando a uma diminuição da tensão V_{gs1} para manter V_{ds1} . Ou seja vamos ter $V_{gs1} - V_{th} = V_{od}$ logo como $X = V_g = V_{gs} = V_{od} + V_{th}$, independentemente da corrente.

e) Para testar o circuito 2a em *corners* testaria, variação de temperatura e *process corners* dos NMOS, ou seja, w_s e w_p apenas, visto que os restantes *corners* não fazem sentido (A tensão de alimentação não afeta, não temos resistências etc...). O esperado será em situações que a mobilidade aumente, ou seja $-40^\circ C$ e w_p , teremos correntes de saída maiores e como tal V_{gs} 's maiores. E para mobilidade menores a corrente irá diminuir, tal como V_{gs} 's. De notar que a variação de V_{th} também irá afetar a corrente. No entanto o efeito dominante é a variação da mobilidade.

f)

$$\Delta V_{th} = \frac{A}{\sqrt{W L}} \quad \text{Logo} \quad \left\{ \begin{array}{l} V_{gs1,2} = V_{DD} + V_{th} + \Delta V_{th} \\ I = \frac{\mu C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th} - \Delta V_{th}) \end{array} \right.$$