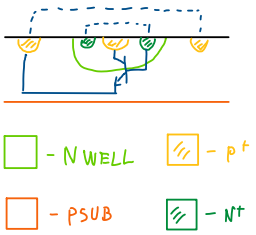
1 a)

Basta termos de alguma maneira as 3 camadas necessárias, na forma de difusões ou nwell. Por exemplo podemos implementar um PNP vertical da seguinte maneira:



De notar que todos os MOS, NMOS ou PMOS tem um NPN e PNP parasitas respetivamente, visto que temos duas difusões, do drain e da source, e no meio temos impurezas opostas. Formando assim um bipolar parasita!

b)

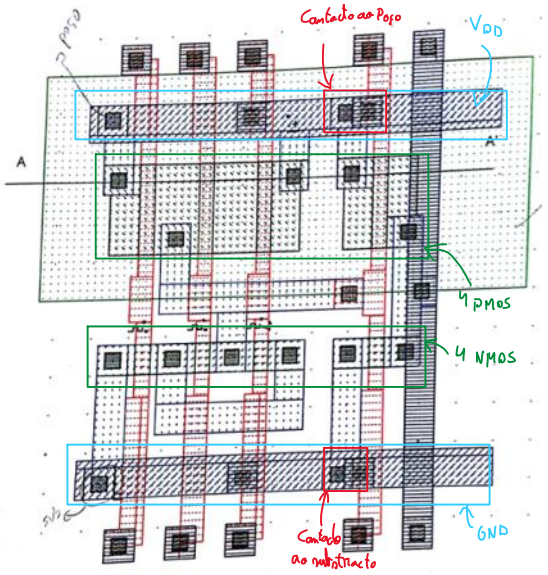
Uma tecnologia CMOS auto alinhada é uma tecnologia que faz uso de camadas previamente depositadas para alinhar outras. Por exemplo, após termos o POLY depositado podemos usa-lo em conjunto com uma mascara de *active area* para fazer a colocação das difusões. Outra situação em que isto acontece é na colocação de *silicide* (que no caso de ser *self-aligned* pode-se chamar de *salicide*) em que podemos usar as gates e as difusões em conjunto com o FieldOxide para definir a área em que iremos aplicar o *silicide*.

c) $R_\square = 20\,\Omega$

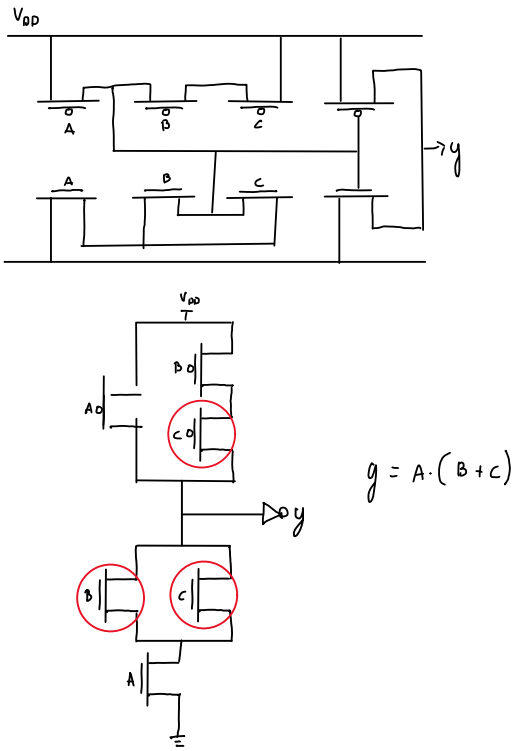
$L = 40\,\mu m$, $w = 2\,\mu m$ $\Rightarrow \frac{W}{L} = 20$ → temos 20 quadrados

Logo $R_t = 20 R_\square = 400\,\Omega$

2 a)



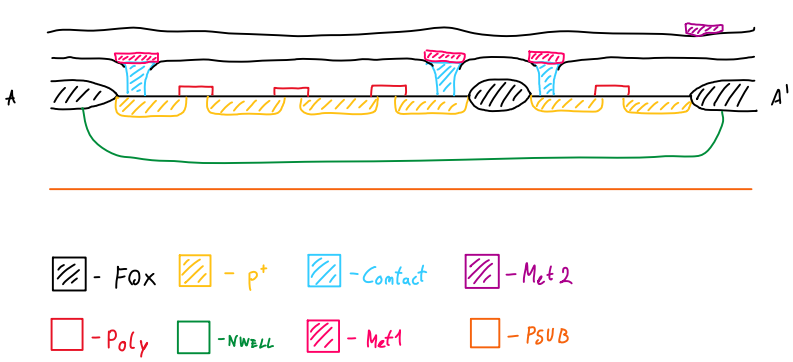
b) c)



d)

O efeito de corpo é o aumento da tensão de *threshold* com o aumento da tensão da *source* para o *bulk*. Este efeito dá-se nos transístores indicados.

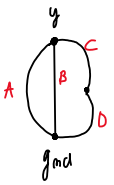
e)



3 a) $y = \overline{A + B + CD}$

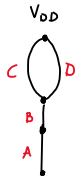
b)

Pull-Down (PD)



(2)	A	B	C	D	D	C	B	A	(2)
	A	D	C	B	B	C	D	A	
	B	A	C	D	D	C	A	B	
	B	D	C	A	A	C	D	B	
(2)	C	D	B	A	A	B	D	C	(2)
	C	D	A	B	B	A	D	C	

Pull-Up (PU)



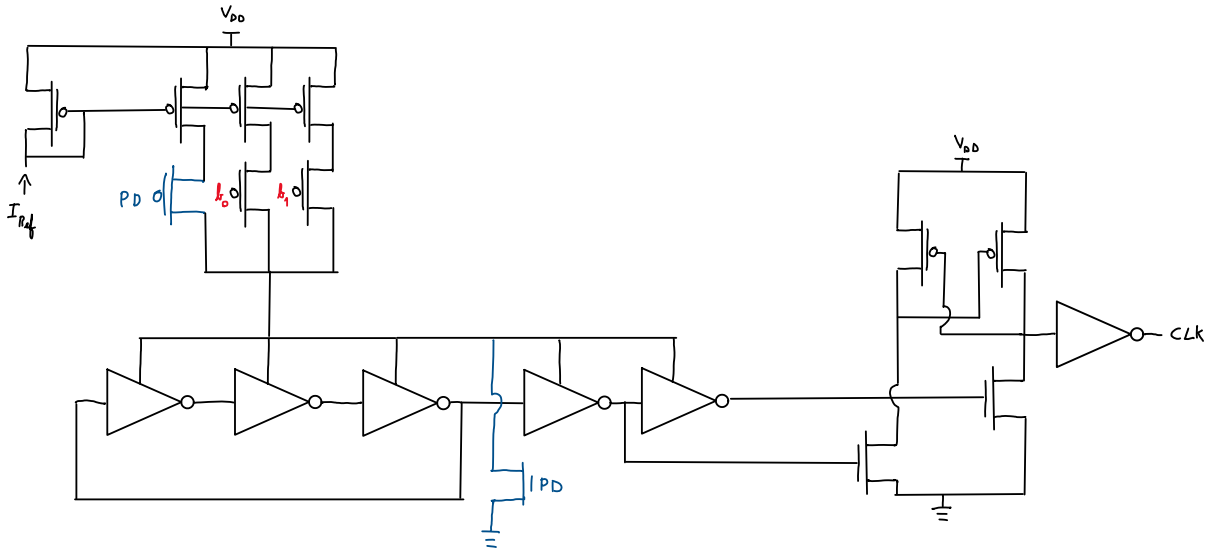
(1)	A	B	C	D	D	C	B	A	(1)
(1)	A	B	D	C	C	D	B	A	(1)

c) Melhor: Qualquer um dos assinalados!

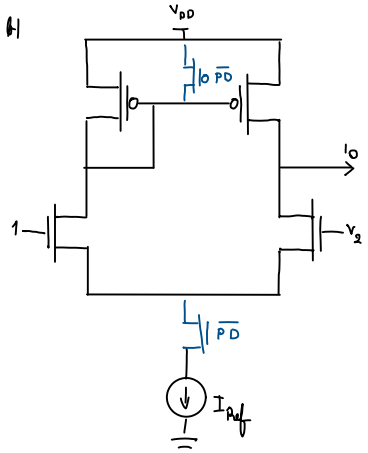
Minimiza o numero de passagens pelo nó Y, logo minimizamos a capacidade de saída, aumentando assim a rapidez de resposta.

E minimizamos a área ao escolher os caminhos consistentes, visto que eles permitem implementar a célula com apenas 4 tiras de poly, colocando os transístores do PD e do PU na mesma coluna.

4) a)



b)



c) No power-down queremos desligar o bloco de tal forma que ele não consome
Transístores de power-down a azul