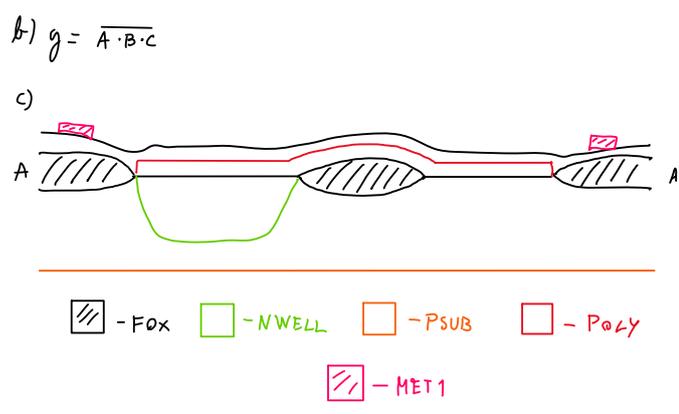
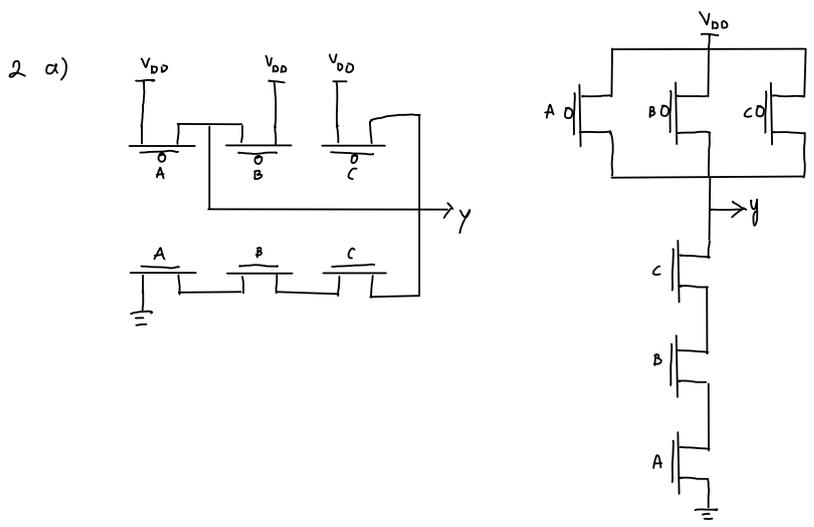


- 1 a) LVS - Layout Vs. Schematic - É uma verificação feita para garantir que o layout corresponde ao esquema do circuito. Verifica se temos os componentes corretos, se as suas ligações estão de acordo com o esquema, se o nosso numero de inputs/outputs é o correto. Verifica também se os componentes estão de acordo com o indicado no esquema, ou seja verifica numero de gates e dimensões.
- b) A design library, como o nome indica, é onde desenhamos a nossa célula. Usamos componente da PRIMLIB, ou seja não temos componentes ideais. Esta célula, ou um conjunto delas, é o que é enviado para fabrico. A testbench library serve para correr testes nas células da design library. Nas testbenches podemos usar componentes ideais da Analog Lib, visto que apenas queremos testar o funcionamento da célula desenhada.
- c) Podemos ligar POLY, DIFFP(P+) e DIFFN (N+)
- d) NMOS como Switch - Dimensões mínimas: L=0.35um e W=0.4um  
Se quisermos menos leakage current podemos aumentar L  
Se alterarmos L, podemos redimensionar W de forma a dimensionar a resistência Rds.



3 a)  $M_1 \text{ e } M_2 \rightarrow \text{Saturação} \Rightarrow \left. \begin{array}{l} L > 1 \mu\text{m} \\ V_{OD} = 200 \text{ mV} \end{array} \right\} \text{Para reduzir CLM}$

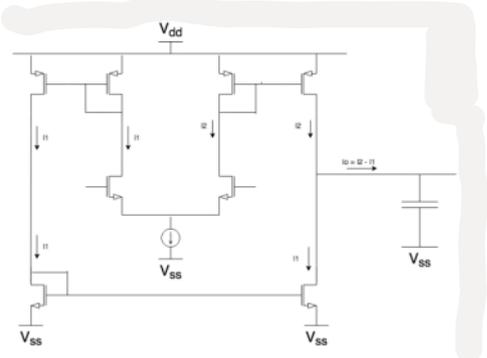
$$\frac{i_{ref}}{2} = I_{M1} = I_{M2} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{M1, M2} \cdot V_{OD}^2 \Leftrightarrow \frac{i_{ref}}{\mu C_{ox}} \cdot \frac{1}{V_{OD}^2} = \left(\frac{W}{L}\right)_{M1} = \left(\frac{W}{L}\right)_{M2} = 0.43$$

$$(\mu C_{ox})_{PMOS} = 58 \mu\text{A}/\text{V}^2$$

Long:  $L > 1 \mu\text{m}$   
 $W = 0.43 \cdot L$   
 $N^\circ \text{ Gates} > 2$  (Para aplicar common centroid)

b) Vamos ter ruido na forma de kickback noise, ou seja, quando tivermos uma variação dos inputs, tal que o estado de saída altere, vamos estar a carregar ou descarregar o condensador do Drain para o Gate do transistor de V2. Ora, como V2 tem alta impedância, esta pequena variação de corrente vai se transformar numa variação considerável de tensão. Ou seja V2 será igual à tensão aplicada, mais esta variação, logo V2 estará a ser alterado afetado.

- c) Podemos trocar V2 e V1, e colocar um inversor à saída do comparador.  
OU  
Espelhar a corrente fora do par diferencial:



d) Tendo o par diferencial saturado vamos ter  $V_s = V_{dd} - V_{dsM1} - V_{dsV2}$ . Ora daqui sabemos que dependendo a queda de tensão na fonte Iref,  $V_{dsV2}$ , e por extensão  $V_{dsV1}$ , hão de se alterar para manter o funcionamento do circuito. Também podemos reparar que  $I_d = I_{ref}/2 = k \cdot (V_{GS} - V_t)^2$ , ora  $V_{GS} = V_1 - V_S$ , logo ficamos logo com  $V_S$  definido.

e)  $i = C \frac{dV_{out}}{dt}$

Para como  $i_o = I_{ref} = 1 \mu\text{A} \rightarrow \frac{dV_{out}}{dt} = \frac{I_o}{C} = 10^7 //$